

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年 9月13日

出 願 番 号
Application Number:

特願2002-268317

[ST.10/C]:

[JP2002-268317]

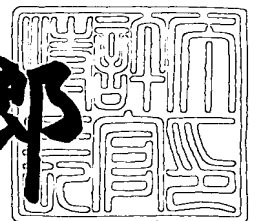
出 願 人
Applicant(s):

富士通株式会社

2003年 6月11日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3045593

【書類名】 要約書

【要約】

【課題】 本発明は、メモリセルアレイを複数のブロックに分割した構成においてレファレンス回路と各ブロックとの間で適切な比較動作が実行可能な不揮発性半導体記憶装置を提供することを目的とする。

【解決手段】 不揮発性半導体記憶装置は、各々が1つのメモリセルアレイを含む複数のブロックと、レファレンスセルと、レファレンスセルから読み出すレファレンス信号を複数のブロックの各々に供給する信号線と、複数のブロックの各々に設けられ、メモリセルアレイからの読み出しデータに与えられる負荷と同一の負荷をレファレンス信号に与えるレファレンス負荷回路と、複数のブロックの各々に設けられ、レファレンス負荷回路により負荷が与えられたレファレンス信号と読み出しデータとを比較して読み出しデータを判定するセンス回路を含む。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社

【書類名】 特許願

【整理番号】 0241221

【提出日】 平成14年 9月13日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 G11C 7/00

【発明の名称】 不揮発性半導体記憶装置

【請求項の数】 10

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 槻館 美弘

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100070150

 【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデンプレイスタワー32階

 【弁理士】

 【氏名又は名称】 伊東 忠彦

 【電話番号】 03-5424-2511

【手数料の表示】

 【予納台帳番号】 002989

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 0114942

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体記憶装置

【特許請求の範囲】

【請求項 1】 各々が 1 つのメモリセルアレイを含む複数のブロックと、
レファレンスセルと、

該レファレンスセルから読み出すレファレンス信号を該複数のブロックの各々に供給する信号線と、

該複数のブロックの各々に設けられ、該メモリセルアレイからの読み出しデータに与えられる負荷と同一の負荷を該レファレンス信号に与えるレファレンス負荷回路と、

該複数のブロックの各々に設けられ、該レファレンス負荷回路により負荷が与えられた該レファレンス信号と該読み出しデータとを比較して該読み出しデータを判定するセンス回路
を含むことを特徴とする不揮発性半導体記憶装置。

【請求項 2】 該レファレンス負荷回路は、複数のブロックのうちの選択ブロックにおいてのみ該レファレンス信号を通過させるパスゲートを更に含むことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 3】 該複数のブロックの各々に設けられ該メモリセルアレイから読み出されるデータを選択する Y ゲートを更に含み、該 Y ゲートの最終段のゲートと該パスゲートとは同一構成の回路素子であり同一の電圧により駆動されることを特徴とする請求項 2 記載の不揮発性半導体記憶装置。

【請求項 4】 該レファレンスセルに近接して 1 セットのみ設けられ、該 Y ゲートの最終段以外のゲートに対応し該レファレンス信号を通過させるゲートを更に含むことを特徴とする請求項 3 記載の不揮発性半導体記憶装置。

【請求項 5】 該 Y ゲートの最終段のゲートと該パスゲートとを駆動する昇圧電圧を生成する昇圧回路と、

該昇圧回路が生成する昇圧電圧を該複数のブロックの各々に供給する電源線と

該複数のブロックの各々に設けられ該選択ブロックにおいてのみ該昇圧電圧を

該 Y ゲートの最終段のゲートと該パスゲートとに供給するスイッチ回路を更に含むことを特徴とする請求項 3 記載の不揮発性半導体記憶装置。

【請求項 6】該センス回路は該読み出しデータを電流電圧変換する第 1 の電流電圧変換回路を含み、該レファレンス負荷回路は該レファレンス信号を電流電圧変換する第 2 の電流電圧変換回路を含み、該第 1 の電流電圧変換回路と該第 2 の電流電圧変換回路とは同一の回路構成を有することを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 7】該センス回路は該読み出しデータのソース側の電位を接地する第 1 の接地回路を含み、該レファレンス負荷回路は該レファレンス信号のソース側の電位を接地する第 2 の接地回路を含み、該第 1 の接地回路と該第 2 の接地回路とは同一の回路構成を有することを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 8】該センス回路は該読み出しデータのソース側の電位と該レファレンス信号のソース側の電位とを短絡する回路を更に含むことを特徴とする請求項 7 記載の不揮発性半導体記憶装置。

【請求項 9】該センス回路は該読み出しデータのドレイン側ビット線の隣のビット線の電位をプリチャージする第 1 のプリチャージ回路を含み、該レファレンス負荷回路は該レファレンス信号のドレイン側ビット線の隣のビット線の電位をプリチャージする第 2 のプリチャージ回路を含み、該第 1 のプリチャージ回路と該第 2 のプリチャージ回路とは同一の回路構成を有することを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 10】該センス回路は該読み出しデータのドレイン側ビット線の隣のビット線の電位と該レファレンス信号のドレイン側ビット線の隣のビット線の電位とを短絡する回路を更に含むことを特徴とする請求項 9 記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、不揮発性半導体記憶装置に関し、詳しくはメモリセルアレイが複数

のブロックに分割された不揮発性半導体記憶装置に関する。

【従来の技術】

不揮発性メモリ装置においては、メモリセルから読み出したデータレベルを決定する際の比較対象として、メモリセルとは別個にレファレンス用のメモリセルが設けられる。レファレンスセルは、一般にメモリセルアレイの一部としてではなく、メモリセルアレイの周辺回路部分に配置され、一つのメモリ装置に対して一つのセットが設けられる。メモリセルアレイが複数のブロックに分割されている場合には、各々のブロックのセンスアンプにレファレンスセルの出力を分配して供給する必要がある。

【0002】

図1は、フラッシュメモリ装置におけるデータ読み出しについて説明する図である。

【0003】

図1においてメモリセルアレイ11は、複数のメモリセルトランジスタ21、複数のワード線WL及び複数のビット線MBLを含む。メモリセルアレイ11は、仮想接地メモリアレイとしてビット線が拡散層で形成されており、一对のビット線のうちグラウンド電位に設定した側がソースとなり電源電位に設定した側がドレインとなる。このような仮想接地メモリアレイにおいては、ワード線方向に隣接するメモリセル間でビット線が共有される。

【0004】

Yゲート12は、複数のトランジスタ22及び23を含み、ビット線を選択するアドレスに応じたデコード信号CS(0)、CS(1)、CS(2)、BSD(0)、BSG(0)、及びBSP(0)により、メモリセルアレイのビット線MBLを選択する。デコード信号CS(n)の電源としては、電源電圧VCCを内部でブーストした昇圧電位VBOOST_CSGが用いられる。図1においてYゲート12は簡略化した構成で示されるが、実際には、多数のビット線MBLから一つのメモリセルに対応するビット線MBLを選択可能なように、複数のトランジスタ22及び23が配置されている。

【0005】

センス回路 1 3 は、トランジスタ 2 4 乃至 2 6、センスアンプ 2 7、電流電圧変換回路 2 8、及びプリチャージ回路 2 9 を含む。

【 0 0 0 6 】

メモリセルアレイ 1 1 の読み出し対象メモリセルのドレインとなるビット線 MBL は、Y ゲート 1 2 において BSD (0) が接続されたトランジスタ 2 3 を介し、DATA B として電流電圧変換回路 2 8 に接続される。BSD (0) の電源には昇圧電位 VBOOST_CSG が用いられる。電流電圧変換回路 2 8 の出力 SAI はセンスアンプ 2 7 に供給される。

【 0 0 0 7 】

メモリセルアレイ 1 1 の読み出し対象メモリセルのソースとなるビット線 MBL は、Y ゲート 1 2 において BSG (0) が接続されたトランジスタ 2 3 を介し、ARVSS としてトランジスタ 2 5 のドレインに接続される。BSG (0) の電源には電源電圧 VCC が用いられる。通常の読み出し動作では、トランジスタ 2 5 のゲート端子電位である SPVB が HIGH となり、ARVSS は接地電位 VSS へ接続される。

【 0 0 0 8 】

読み出し対象メモリセルのドレインとなるビット線の隣りのビット線は、Y ゲート 1 2 において BSP (0) が接続されたトランジスタ 2 3 を介し、DATA BP としてプリチャージ回路 2 9 に接続される。BSP (0) の電源には昇圧電位 VBOOST_CSG が用いられる。プリチャージ回路 2 9 は、メモリセルの読み出し時に、ドレインとなるビット線の隣りのビット線を充電する。プリチャージ回路 2 9 は電流電圧変換回路 2 8 と同一の回路構成であり、ドレインとなるビット線と同一電位をその隣のビット線に供給する。従って、これらのビット線間には電流が流れずに、読み出し対象のメモリセルの電流のみが電流電圧変換回路 2 8 により検出されることになる。

【 0 0 0 9 】

以上説明したメモリセル側の動作と同様の動作を実現するために、レファレンス側にも同様の回路が設けられる。

【 0 0 1 0 】

レファレンスセル回路 1 4 は、メモリセルトランジスタ 2 1 と同一構成の複数のセルトランジスタ 3 1 と、そのうちの一つであるレファレンスセル 3 1（丸で囲んで示す）を読み出すためのワード線 S B S R を含む。

【 0 0 1 1 】

レファレンス Y ゲート 1 5 は、複数のトランジスタ 3 2 及び 3 3 を含む。トランジスタ 3 2 は、昇圧電位 V B O O S T _ C S G により駆動されている。またトランジスタ 3 3 のうちで、ドレイン側ビット線及びその隣のビット線に対応するトランジスタ 3 3 は昇圧電位 V B O O S T _ C S G により駆動され、ソース側ビット線に対応するトランジスタ 3 3 は電源電圧 V C C により駆動される。

【 0 0 1 2 】

レファレンス負荷回路 1 6 は、トランジスタ 3 4、電流電圧変換回路 3 5、及びプリチャージ回路 3 6 を含む。このレファレンス負荷回路 1 6 は、メモリセルアレイ 1 1 の読み出し対象メモリセルから読み出した信号と同一の負荷をレファレンスセルから読み出した信号に対して与えることで、メモリデータ信号とレファレンス信号とを同一の条件で比較可能にするために設けられる。

【 0 0 1 3 】

レファレンスセル 3 1 のドレインとなるビット線は、レファレンス Y ゲート 1 5 を介し D A T A B X として電流電圧変換回路 3 5 に接続される。電流電圧変換回路 3 5 の出力 S A R E F は、センス回路 1 3 のセンスアンプ 2 7 に供給される。

【 0 0 1 4 】

レファレンスセル 3 1 のソースとなるビット線は、Y ゲート 1 2 を介し G A R V S S としてトランジスタ 3 4 のドレインに接続される。通常の読み出し動作では、トランジスタ 3 4 のゲート端子電位である S P V B _ R E F E X が H I G H となり、G A R V S S は接地電位 V S S へ接続される。

【 0 0 1 5 】

レファレンスセル 3 1 のドレインとなるビット線の隣のビット線は、Y ゲート 1 2 を介し D A T A B _ P R E としてプリチャージ回路 3 6 に接続される。プリチャージ回路 3 6 は、メモリセルの読み出し時に、ドレインとなるビット線の

隣りのビット線を充電する。プリチャージ回路 3 6 は電流電圧変換回路 3 5 と同一の回路構成であり、ドレインとなるビット線と同一電位をその隣のビット線に供給する。従って、これらのビット線間には電流が流れずに、レファレンスセル 3 1 の電流のみが電流電圧変換回路 3 5 により検出されることになる。

【 0 0 1 6 】

丸で囲まれたメモリセルトランジスタ 2 1 を読み出す場合、WL (2) を選択活性化し、更に Y ゲート 1 2 でビット線を選択する。またレファレンスセル回路 1 4 のワード線 S B S R を活性化する。S P V B、S P V P _ R E F E X、P G M D B、及び M U X D A T A P B を全て H I G H にして、G A R V S S と A R V S S を接地電位 V S S とすると共に、D A T A B P と D A T A B _ P R E とを短絡する。センスアンプ 2 7 によりレファレンスセル 3 1 の電流とメモリセル 2 1 の電流 I_c とを比較して、 I_c の方が大きい場合には“ 1 ”と判断し、小さい場合は“ 0 ”と判断する。

【 0 0 1 7 】

仮に A R V S S に電流が多く流れて A R V S S の電圧が上昇した場合であっても、A R V S S と G A R V S S とを短絡しているので G A R V S S も同様に電圧が上昇し、レファレンスセルと読み出し対象メモリセルセルについてリード条件が常に同一となる。また同様に、D A T A B P と D A T A B _ P R E が短絡しているので、レファレンスセルと読み出し対象メモリセルのリード条件が常に同一となる。

【 0 0 1 8 】

なお上記記載に関わる出願人が知っている先行技術は、公知・公用の技術である既存の装置に関するものであり、先行技術調査に基づく文献公知発明に関するものではない。

【 0 0 1 9 】

また従来技術として、複数のセルアレイと 1 つのリファレンスセルアレイを有するものがある（特許文献 1 参照）。

【 0 0 2 0 】

【特許文献 1】

特開 2 0 0 1 - 1 4 3 4 8 7

【 0 0 2 1 】

【発明が解決しようとする課題】

例えばメモリセルアレイ 1 1 が 4 つのブロックに分割されている場合、各々のブロックに対してセンス回路 1 3 を設けることになる。この際、レファレンスセル回路 1 4、レファレンス Y ゲート 1 5、及びレファレンス負荷回路 1 6 を一セット設け、これらのレファレンス回路を 4 つのブロックで共通に使用することとすると、以下に述べるような問題が生じる。

【 0 0 2 2 】

回路素子の特性は、素子の配置位置におけるレイアウトの相違等により影響され各素子毎にバラツキがある。従って、レファレンス回路と第 1 のブロックとで特性が一致して適性にデータ判定が可能であったとしても、当該レファレンス回路と他のブロックとでは特性が一致せずに適性なデータ判定が出来ない可能性がある。特に昇圧電圧 V_{BOOST_CSG} については、距離的に離れたレファレンス Y ゲート 1 5 と各ブロックの Y ゲート 1 2 との間で差が生じてしまうと、レファレンス Y ゲート 1 5 及び Y ゲート 1 2 の出力同士が適切な比較対象とならない結果となる。

【 0 0 2 3 】

このように各ブロック間で回路特性及び駆動電位にバラツキが生じるので、レファレンスセルと各ブロックのメモリセルとの間で適切なデータ判定のための比較動作が出来ないという問題がある。

【 0 0 2 4 】

以上を鑑みて本発明は、メモリセルアレイを複数のブロックに分割した構成においてレファレンス回路と各ブロックとの間で適切な比較動作が実行可能な不揮発性半導体記憶装置を提供することを目的とする。

【課題を解決するための手段】

本発明による不揮発性半導体記憶装置は、各々が 1 つのメモリセルアレイを含む複数のブロックと、レファレンスセルと、該レファレンスセルから読み出すレファレンス信号を該複数のブロックの各々に供給する信号線と、該複数のブロッ

クの各々に設けられ、該メモリセルアレイからの読み出しデータに与えられる負荷と同一の負荷を該レファレンス信号に与えるレファレンス負荷回路と、該複数のブロックの各々に設けられ、該レファレンス負荷回路により負荷が与えられた該レファレンス信号と該読み出しデータとを比較して該読み出しデータを判定するセンス回路を含むことを特徴とする。

【 0 0 2 5 】

上記不揮発性半導体記憶装置においては、比較対象となる読み出しデータ信号及びレファレンス信号の電圧・電流レベルに影響する負荷（例えば、電流電圧変換回路、プリチャージ回路、パスゲート等）が、読み出しデータ信号及びレファレンス信号間で近接するように各ブロック内に設けられている。従って、複数のブロック間において各素子の特性、センスアンプのタイミング、昇圧電圧の電位等にバラツキが生じて、各ブロック内での読み出しデータ信号及びレファレンス信号に対する比較条件は同一となり、安定した適切なデータ判定動作が可能となる。

【発明の実施の形態】

以下に、本発明の実施例を添付の図面を用いて詳細に説明する。

【 0 0 2 6 】

図 2 は、本発明による不揮発性半導体記憶装置を構成するコア回路周辺を示す図である。図 2 において、図 1 と同一の要素は同一の番号で参照し、その説明は省略する。

【 0 0 2 7 】

図 2 の不揮発性半導体記憶装置は、複数のブロック 5 1 乃至 5 4、制御回路 6 1、レファレンスセル回路 6 2、レファレンス Y ゲート 6 3、及び昇圧回路 6 4 を含む。複数のブロック 5 1 乃至 5 4 の各々は、メモリセルアレイ 1 1、Y ゲート 1 2、センス回路 1 3、レファレンス負荷回路 7 1、及びスイッチ回路 7 2 を含む。

【 0 0 2 8 】

制御回路 6 1 は、読み出し動作、書き込み動作、及び消去動作の各動作モードに応じて適切な信号を各部に供給することにより、複数のブロック 5 1 乃至 5 4

及びレファレンスセル回路 6 2 の動作を制御する。レファレンスセル回路 6 2 は、図 1 のレファレンスセル回路 1 4 と同様の回路でありレファレンスセルを含む。レファレンス Y ゲート 6 3 は、図 1 のレファレンス Y ゲート 1 5 の一部（トランジスタ 3 2）に相当する。図 1 のレファレンス Y ゲート 1 5 の残り（トランジスタ 3 3）に相当する部分は、各ブロック 5 1 乃至 5 4 に分配されている。同様に、図 1 のレファレンス負荷回路 1 6 に相当する部分は、各ブロック 5 1 乃至 5 4 に分配されておる。各ブロック 5 1 乃至 5 4 におけるレファレンス負荷回路 7 1 が、レファレンス Y ゲート 1 5 の一部分とレファレンス負荷回路 1 6 に相当する部分とを含んだ構成となっている。

【 0 0 2 9 】

昇圧回路 6 4 は、外部電源電圧に基づいて昇圧電圧を生成し、この昇圧電圧 V_{BOOST_CSG} を各ブロック 5 1 乃至 5 4 に供給する。各ブロック 5 1 乃至 5 4 においては、当該ブロックが選択されたときに限りスイッチ回路 7 2 が導通される。これにより、昇圧回路 6 4 からの昇圧電圧 V_{BOOST_CSG} が、昇圧電圧 $V_{BOOST_CS}(n)$ ($n = 0 \sim 3$: 各ブロックに対応する番号) として、Y ゲート 1 2 とレファレンス負荷回路 7 1 とに供給される。

【 0 0 3 0 】

図 3 は、レファレンスセル回路 6 2 とレファレンス Y ゲート 6 3 との構成を示す図である。

【 0 0 3 1 】

図 3 に示されるようにレファレンスセル回路 6 2 は、メモリセルトランジスタ 2 1 と同一構成の複数のセルトランジスタ 8 1 と、そのうちの一つであるレファレンスセル 8 1（丸で囲んで示す）を読み出すためのワード線 $SBSR$ とを含む。レファレンス Y ゲート 6 3 は、複数のトランジスタ 8 2 を含む。トランジスタ 8 2 は、昇圧回路 6 4 からの昇圧電位 V_{BOOST_CSG} をゲート端子に受け取り導通し、レファレンスセル 8 1 のソースの電位を $ARVSSXG$ 、ドレインの電流を $DATABXG$ 、ドレインの隣のビット線の電流を $DATABPXAG$ として各ブロック 5 1 乃至 5 4 に供給する。

【 0 0 3 2 】

図 4 は、複数のブロック 5 1 乃至 5 4 のうちで任意の 1 つのブロックにおけるレファレンス負荷回路 7 1 とセンス回路 1 3 とを纏めて示す回路図である。

【 0 0 3 3 】

図 4 において、センス回路 1 3 は、トランジスタ 2 4 乃至 2 5、センスアンプ 2 7、電流電圧変換回路 2 8、及びプリチャージ回路 2 9 を含む。レファレンス負荷回路 7 1 は、AND 回路 9 1 乃至 9 3、レベルシフト回路 9 4 及び 9 5、トランジスタ 9 6 乃至 9 9、電流電圧変換回路 1 0 0、及びプリチャージ回路 1 0 1 を含む。

【 0 0 3 4 】

トランジスタ 9 6 乃至 9 8 は、図 1 のレファレンス Y ゲート 1 5 のトランジスタ 3 3 に対応する。各 AND 回路 9 1 乃至 9 3 の第 1 の入力には、当該ブロックが選択されると HIGH になる信号 Q SEL が入力される。AND 回路 9 1 乃至 9 3 の第 2 の入力には、それぞれ信号 B S P A _ X R E F、B S D _ X R E F、及び B S G _ X R E F が供給される。これらの信号は制御回路 6 1 から供給され、それぞれ対応する信号 A R V S S X G、D A T A B X G、及び D A T A B P X A G をレファレンス負荷回路 7 1 に供給する場合に HIGH になる信号である。当該ブロックが選択され信号 Q SEL が HIGH となり、且つ信号 B S P A _ X R E F、B S D _ X R E F、及び B S G _ X R E F が HIGH である場合に、AND 回路 9 1 乃至 9 3 の出力が HIGH になる。

【 0 0 3 5 】

レベルシフタ 9 4 及び 9 5 は、昇圧電圧 V B O O S T _ C S (n) 及び AND 回路 9 1 及び 9 2 の出力を受け取り、AND 回路の出力を昇圧電圧 V B O O S T _ C S (n) のレベルに電圧変換する。レベルシフタ 9 4 及び 9 5 の出力である電圧変換された信号は、それぞれパスゲートであるトランジスタ 9 6 及び 9 7 のゲート端子に印加される。これによりトランジスタ 9 6 及び 9 7 において充分な閾値電圧を確保して、レファレンス Y ゲート 6 3 からの信号 A R V S S X G 及び D A T A B X G を、それぞれプリチャージ回路 1 0 1 及び電流電圧変換回路 1 0 0 に電位レベルを変化させることなく供給する。また AND 回路 9 3 の出力は、レベルシフタを用いることなく直接トランジスタ 9 8 のゲート端子に供給される

。これはパスゲートであるトランジスタ 9 8 を通過する信号 DATABPXAG が、接地電位にあるべき信号であり、昇圧電位を用いなくとも十分にパスゲートを通過可能だからである。

【 0 0 3 6 】

上記の構成により、図 3 に示されるレファレンスセル 8 1 のドレインとなるビット線は、DATABXとして電流電圧変換回路 1 0 0 に接続される。電流電圧変換回路 1 0 0 は電流信号を電圧信号に変換し、その出力SAREFをセンス回路 1 3 のセンスアンプ 2 7 に供給する。電流電圧変換回路 1 0 0 は、電流電圧変換回路 2 8 と同一の回路構成を有し、理想的には同一の特性を有する。

【 0 0 3 7 】

またレファレンスセル 8 1 のソースとなるビット線は、GARVSSとしてトランジスタ 9 9 のドレインに接続される。通常の読み出し動作では、トランジスタ 9 9 のゲート端子電位であるSPVB_REFEXがHIGHとなり、GARVSSは接地電位VSSへ接続される。トランジスタ 9 9 は、トランジスタ 2 5 と同一の規格の回路素子であり、理想的には同一の特性を有する。

【 0 0 3 8 】

更にレファレンスセル 8 1 のドレインとなるビット線の隣のビット線は、DATAB_PREとしてプリチャージ回路 1 0 1 に接続される。プリチャージ回路 1 0 1 は、メモリセルの読み出し時に、ドレインとなるビット線の隣のビット線を充電する。プリチャージ回路 1 0 1 は電流電圧変換回路 1 0 0 と同一の回路構成であり、ドレインとなるビット線と同一電位をその隣のビット線に供給する。従って、これらのビット線間には電流が流れずに、レファレンスセル 8 1 の電流のみが電流電圧変換回路 1 0 0 により検出されることになる。プリチャージ回路 1 0 1 は、プリチャージ回路 2 9 と同一の回路構成を有し、理想的には同一の特性を有する。

【 0 0 3 9 】

図 2 に示されるメモリセルアレイ 1 1 は、図 1 に示されるメモリセルアレイ 1 と同様な構成である。メモリセルアレイ 1 1 のメモリセルトランジスタ 2 1 を読み出す場合、指定されたワード線を選択活性化し、更に Y ゲート 1 2 でビット

線を選択する。また図3のレファレンスセル回路62のワード線SBSRを活性化する。図4のトランジスタ25のゲート電位であるSPVB、トランジスタ99のゲート電位であるSPVP_REFEX、トランジスタ24のゲート電位であるPGMDB、及びトランジスタ26のゲート電位であるMUXDATAPBを全てHIGHにして、GARVSSとARVSSを接地電位VSSとすると共に、DATABPとDATAB_PREとを短絡する。

【0040】

更にセンスアンプ27によりレファレンスセル81の電流と読み出し対象メモリセル21の電流とを比較して、読み出し対象メモリセル21の電流の方が大きい場合には“1”と判断し、小さい場合は“0”と判断する。

【0041】

上記の構成によれば、比較対象となる信号の電圧・電流レベルに影響する電流電圧変換回路28と電流電圧変換回路100、プリチャージ回路29とプリチャージ回路101、トランジスタ25とトランジスタ99、バスゲート23とバスゲート96乃至98等の互いに対となる回路要素が各ブロック内に近接して設けられている。従って、複数のブロック51乃至54の間において、各素子の特性、センスアンプ27のタイミング、昇圧電圧VBOOST_CS(n)の電位等にバラツキが生じてても、各ブロック内での比較条件は同一となり安定した適切なデータ判定動作が可能となる。

【0042】

上記実施例においては、レファレンスYゲート63の複数のトランジスタ82については、各ブロックに設けるのではなくレファレンスセルアレイ62に近接する位置に1セットだけ設ける構成としている。これはトランジスタ82の次段においてバスゲートトランジスタ96乃至98が設けられているので、昇圧電圧VBOOST_CS(n)とVBOOST_CSGとに多少の差が生じてても問題が生じないであろうとの考えに基づく。しかしこのような構成の変わりに、レファレンスYゲート63の複数のトランジスタ82を、各ブロックに1セットずつ設ける構成としてもよい。

【0043】

以上、本発明を実施例に基づいて説明したが、本発明は上記実施例に限定されるものではなく、特許請求の範囲に記載の範囲内で様々な変形が可能である。

【発明の効果】

本発明による不揮発性半導体記憶装置においては、比較対象となる読み出しデータ信号及びレファレンス信号の電圧・電流レベルに影響する負荷（例えば、電流電圧変換回路、プリチャージ回路、パスゲート等）が、読み出しデータ信号及びレファレンス信号間で近接するように各ブロック内に設けられている。従って、複数のブロック間において各素子の特性、センスアンプのタイミング、昇圧電圧の電位等にバラツキが生じても、各ブロック内での読み出しデータ信号及びレファレンス信号に対する比較条件は同一となり、安定した適切なデータ判定動作が可能となる。

【図面の簡単な説明】

【図 1】

フラッシュメモリ装置におけるデータ読み出しについて説明する図である。

【図 2】

本発明による不揮発性半導体記憶装置を構成するコア回路周辺を示す図である。

【図 3】

レファレンスセル回路とレファレンス Y ゲートとの構成を示す図である。

【図 4】

複数のブロックのうちで任意の 1 つのブロックにおけるレファレンス負荷回路とセンス回路とを纏めて示す回路図である。

【符号の説明】

- 1 1 メモリセルアレイ
- 1 2 Y ゲート
- 1 3 センス回路
- 5 1、5 2、5 3、5 4 ブロック
- 6 1 制御回路
- 6 2 レファレンスセル回路



6 3 レファレンス Y ゲート

6 4 昇圧回路

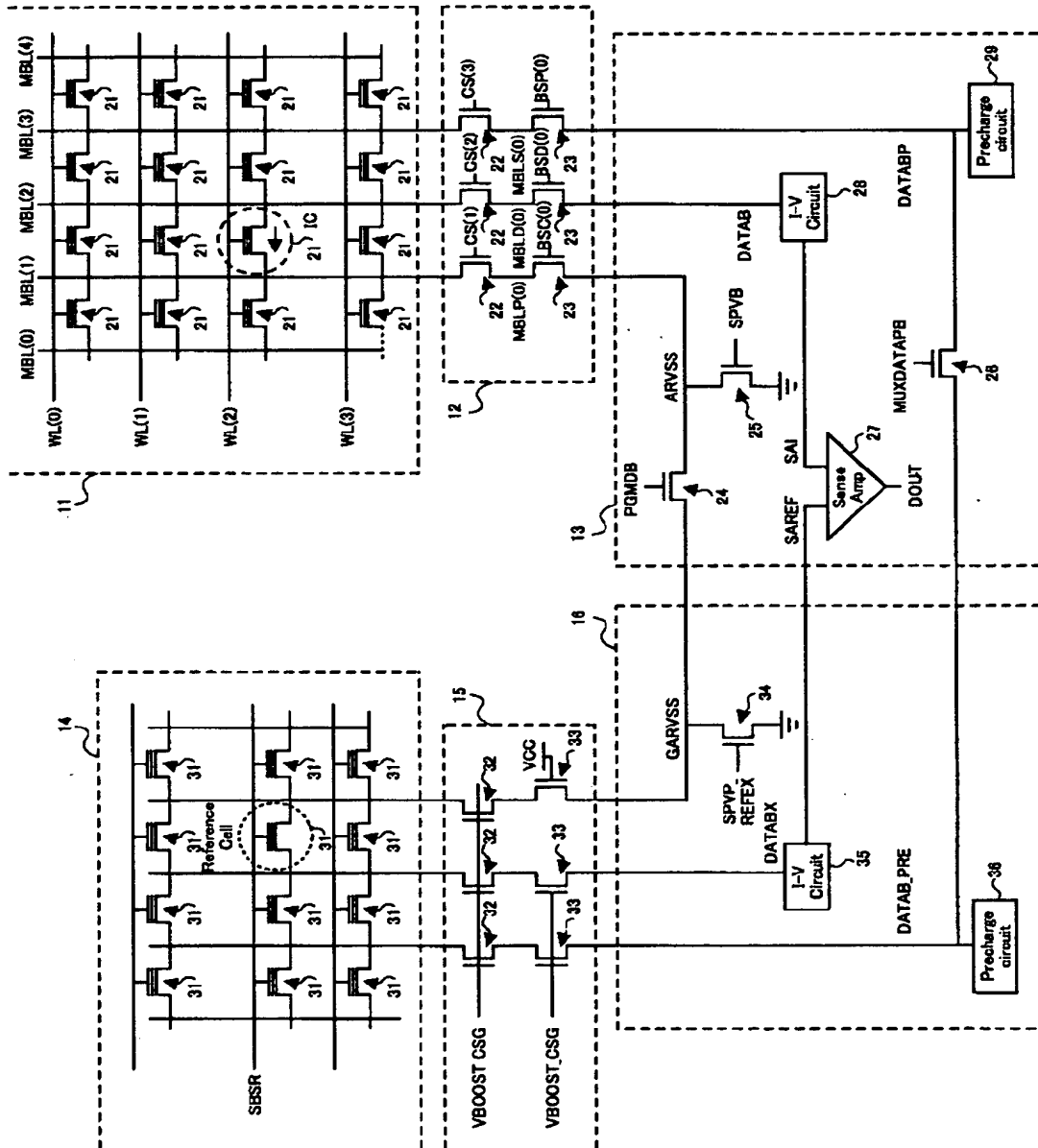
7 1 レファレンス 負荷回路

7 2 スイッチ回路 7 2

【書類名】 図面

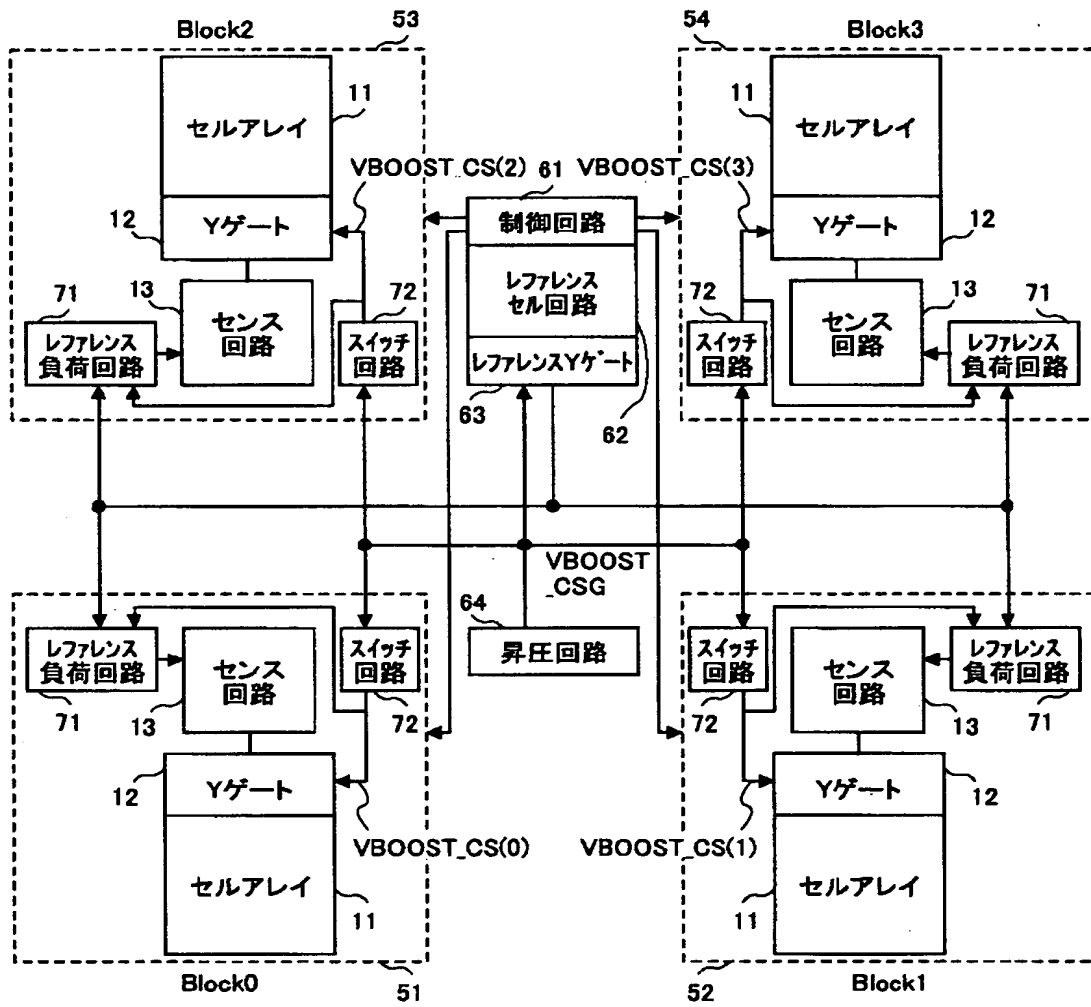
【図1】

フラッシュメモリ装置におけるデータ読み出しについて説明する図



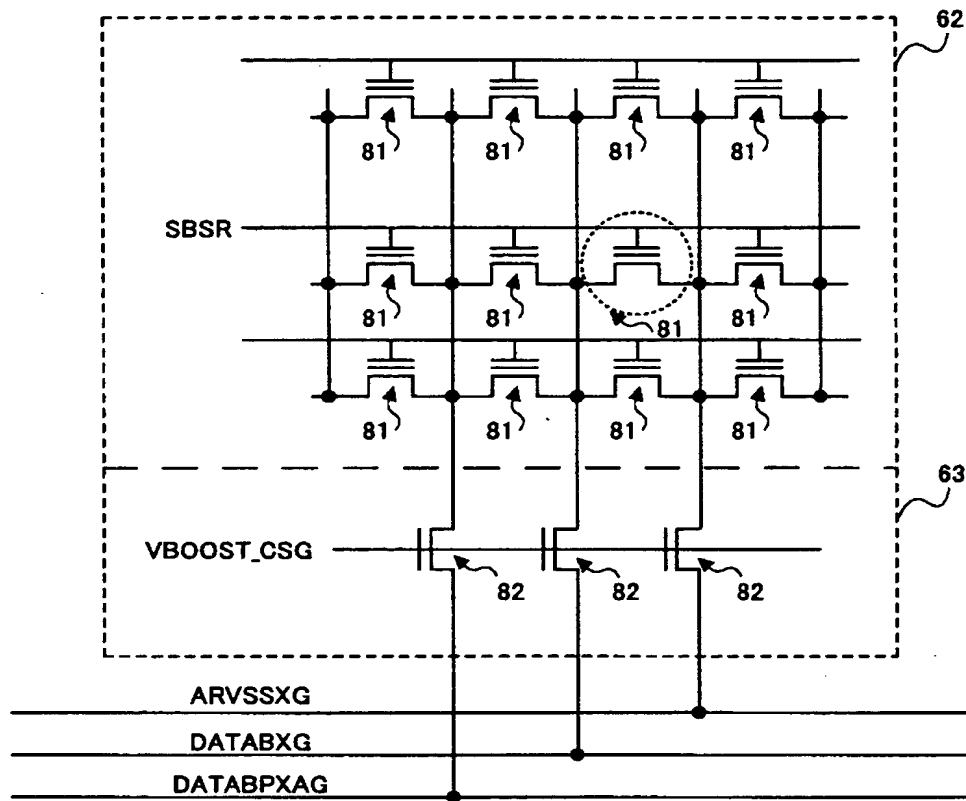
【図 2】

本発明による不揮発性半導体記憶装置を構成するコア回路周辺を示す図



【図3】

レファレンスセル回路とレファレスYゲートとの構成を示す図



【図 4】

複数のブロックのうちで任意の1つのブロックにおける
レファレンス負荷回路とセンス回路とを纏めて示す回路図

